

(2) Japanese Patent Application Laid-Open No. 2002-095240:

**“GATE DRIVE CIRCUIT OF INSULATED GATE SEMICONDUCTOR DEVICE AND ELECTRIC POWER CONVERSION DEVICE USING THE SAME”**

The following is a brief description of the invention disclosed in this publication.

As illustrated in Figure 1, in an insulated gate semiconductor arm (including gate resistances 2A and 2B) formed by connecting a plurality of insulated gate semiconductor devices 1A and 1B in parallel, the following structure is employed. That is, a gate drive circuit 7 for driving gates of the insulated gate semiconductor devices 1A and 1B is provided with means (on-gate switch 4c, on-gate resistance 5c, differential voltage detection section) that are, when the insulated gate semiconductor devices 1A and 1B are turned on and the difference in current between the insulated gate semiconductor devices 1A and 1B exceeds a specified value, actuated to reduce the gate resistances of the insulated gate semiconductor devices 1A and 1B as compared with normal cases.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-95240

(P2002-95240A)

(43) 公開日 平成14年 3月29日 (2002. 3. 29)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト* (参考)
H 0 2 M 1/08	3 4 1	H 0 2 M 1/08	3 4 1 B 5 H 0 0 7 3 4 1 A 5 H 7 4 0 3 4 1 C 5 J 0 5 5 M
7/48		7/48	
H 0 3 K 17/10		H 0 3 K 17/10	
審査請求 未請求 請求項の数 4 O L (全 11 頁) 最終頁に続く			

(21) 出願番号 特願2000-281991(P2000-281991)

(22) 出願日 平成12年 9月18日 (2000. 9. 18)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目 1 番 1 号

(72) 発明者 竹中 浩

東京都府中市東芝町 1 番地 株式会社東芝  
府中事業所内

(72) 発明者 深沢 勝美

東京都府中市東芝町 1 番地 株式会社東芝  
府中事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外 6 名)

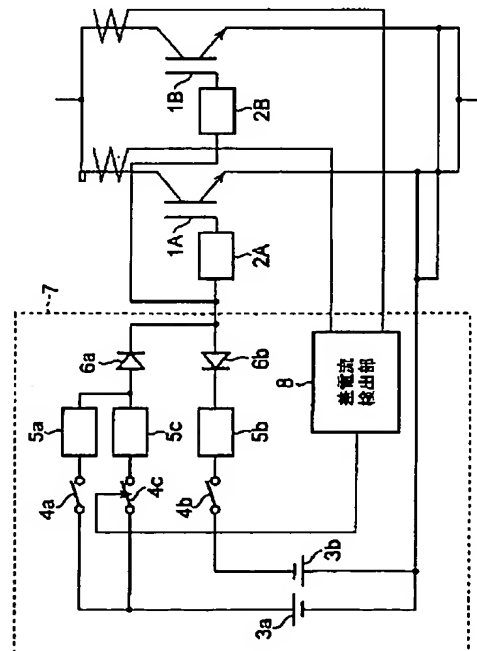
最終頁に続く

(54) 【発明の名称】 絶縁ゲート型半導体素子のゲート駆動回路およびそれを用いた電力変換装置

(57) 【要約】

【課題】 絶縁ゲート型半導体素子のゲートしきい値電圧のばらつきを考慮せずに、電圧、電流定格を最大限に活用すること。

【解決手段】 複数の絶縁ゲート型半導体素子1A, 1Bを互いに並列接続して構成される絶縁ゲート型半導体アームにおける、絶縁ゲート型半導体素子1A, 1Bのゲートを駆動するゲート駆動回路において、絶縁ゲート型半導体素子1A, 1Bのターンオン時に、各々の絶縁ゲート型半導体素子1A, 1B間の電流差が所定電流よりも大きくなった時に動作して、絶縁ゲート型半導体素子1A, 1Bのゲート抵抗を通常時よりも小さくする手段4c, 5c, 8を備える。



## 【特許請求の範囲】

【請求項1】 複数個の絶縁ゲート型半導体素子を互いに並列接続して構成される絶縁ゲート型半導体アームにおける、前記絶縁ゲート型半導体素子のゲートを駆動するゲート駆動回路において、

前記絶縁ゲート型半導体素子のターンオン時に、前記各々の絶縁ゲート型半導体素子間の電流差が所定電流よりも大きくなった時に動作して、前記絶縁ゲート型半導体素子のゲート抵抗を通常時よりも小さくする手段を備えて成ることを特徴とする絶縁ゲート型半導体素子のゲート駆動回路。

【請求項2】 複数個の絶縁ゲート型半導体素子を互いに直列接続して構成される絶縁ゲート型半導体アームにおける、前記絶縁ゲート型半導体素子のゲートを駆動するゲート駆動回路において、

前記絶縁ゲート型半導体素子のターンオフ時に、前記各々の絶縁ゲート型半導体素子間の電圧差が所定電圧よりも大きくなった時に動作して、前記絶縁ゲート型半導体素子のゲート抵抗を通常時よりも小さくする手段を備えて成ることを特徴とする絶縁ゲート型半導体素子のゲート駆動回路。

【請求項3】 複数個の絶縁ゲート型半導体素子を互いに並列接続し、かつ当該並列回路を複数個互いに直列接続して構成される絶縁ゲート型半導体アームにおける、前記絶縁ゲート型半導体素子のゲートを駆動するゲート駆動回路において、

前記絶縁ゲート型半導体素子のターンオン時に、前記同一並列回路における各々の絶縁ゲート型半導体素子間の電流差が所定電流よりも大きくなった時、

または、前記絶縁ゲート型半導体素子のターンオフ時に、前記異なった並列回路における各々の絶縁ゲート型半導体素子間の電圧差が所定電圧よりも大きくなった時、

に動作して、前記絶縁ゲート型半導体素子のゲート抵抗を通常時よりも小さくする手段を備えて成ることを特徴とする絶縁ゲート型半導体素子のゲート駆動回路。

【請求項4】 複数個の絶縁ゲート型半導体素子を備えて構成され、電力変換を行なうインバータやコンバータ等の電力変換装置において、

前記請求項1乃至請求項3のいずれか1項に記載の絶縁ゲート型半導体素子のゲート駆動回路を、

前記絶縁ゲート型半導体素子のゲート駆動回路として接続して成ることを特徴とする電力変換装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、絶縁ゲート型半導体素子のゲート駆動回路およびそれを用いた電力変換装置に係り、特に絶縁ゲート型半導体素子のゲートしきい値電圧のばらつきを考慮せずに、電圧、電流定格を最大限に活用できるようにした絶縁ゲート型半導体素子のゲ

ート駆動回路およびそれを用いた電力変換装置に関するものである。

## 【0002】

【従来の技術】従来から、絶縁ゲート型半導体素子は、例えばモータ駆動用インバータ、無停電電源装置、周波数変換装置等に多く用いられている。

【0003】また、これら電力変換装置の電圧電流定格が増加傾向にあるため、電力変換装置に使用される絶縁ゲート型半導体素子の電圧電流定格も、高耐圧化、大電流化されてきている。

【0004】さらに、より高耐圧、大電流化する方法として、複数個の絶縁ゲート型半導体素子を並列接続、直列接続して、絶縁ゲート型半導体アームを構成する方法がある。

【0005】以下、この種の絶縁ゲート型半導体アームにおける絶縁ゲート型半導体素子のゲート駆動回路について説明する。

【0006】図5は、従来の絶縁ゲート型半導体素子のゲート駆動回路の概要構成例を示す回路図である。

【0007】図5において、複数個（図では2個）の絶縁ゲート型半導体素子1A、1Bを互いに並列接続して、絶縁ゲート型半導体アームが構成されている。

【0008】この各絶縁ゲート型半導体素子1A、1Bは、コレクタ電極、ゲート電極およびエミッタ電極で構成されており、以下それぞれをC電極、G電極およびE電極として表記する。

【0009】なお、絶縁ゲート型半導体素子1A、1Bとしては、例えばIGBT、IEGT等が用いられる。

【0010】一方、ゲート駆動回路7は、オンゲート部とオフゲート部とから構成されている。

【0011】オンゲート部は、オンゲート電源3aと、オンゲートスイッチ4aと、オンゲート抵抗5aと、オンダイオード6aとを、図示のように互いに直列接続して構成されている。

【0012】また、オフゲート部は、オフゲート電源3bと、オフゲートスイッチ4bと、オフゲート抵抗5bと、オフダイオード6bとを、図示のように互いに直列接続して構成されている。

【0013】そして、このオンゲート部とオフゲート部とは、図示のように互いに並列接続されている。

【0014】なお、オンゲートスイッチ4aとオフゲートスイッチ4bとは、一方がオンすると他方は必ずオフするように制御されるようになっている。

【0015】そして、かかる構成のゲート駆動回路7は、各絶縁ゲート型半導体素子1A、1BのG電極とE電極との間に、個別ゲート抵抗2A、2Bを介して、図示のように共通に接続されている。

【0016】以上の絶縁ゲート型半導体素子のゲート駆動回路7の動作は、以下になる。

【0017】すなわち、オンゲートスイッチ4aをオン

する(オン指令)と、オンゲート電源3a(例えば+15V)が、オンゲート抵抗5a、オン用ダイオード6aおよび個別ゲート抵抗2Aを介して、絶縁ゲート型半導体素子1AのG電極-E電極間VGE1に印加される。

【0018】そして、このG電極-E電極間VGE1が上昇して、絶縁ゲート型半導体素子1Aのゲートしきい値電圧以上となると、絶縁ゲート型半導体素子1Aが導通状態になり、C電極-E電極間に接続された図示しない主回路を介して、電流が流れる(以下、ターンオンと称する)。

【0019】また、絶縁ゲート型半導体素子1Aが導通状態の時に、オフゲートスイッチ4bをオンする(オフ指令)と、オフゲート電源3B(例えば-15V)が、オフゲート抵抗5b、オフ用ダイオード6bおよび個別ゲート抵抗2Aを介して、絶縁ゲート型半導体素子1AのG電極-E電極間VGE1に印加される。

【0020】そして、このG電極-E電極間VGE1がゲートしきい値電圧以下となり、絶縁ゲート型半導体素子1Aが阻止状態になり、C電極-E電極間に接続された図示しない主回路を介した電流は流れなくなる(以下、ターンオフと称する)。

【0021】なお、絶縁ゲート型半導体素子1Bについても、絶縁ゲート型半導体素子1Aの場合と同様に動作する。

【0022】

【発明が解決しようとする課題】ところで、上述したような絶縁ゲート型半導体アームを構成する複数の絶縁ゲート型半導体素子を選別する場合、一般的には、絶縁ゲート型半導体素子の静特性、特にコレクター-エミッタ間飽和電圧、およびゲートしきい値電圧(またはゲート-エミッタ間遮断電圧)を用いて行なうようにしている。

【0023】絶縁ゲート型半導体素子の損失に関係する電流バランスは、主に定常的な領域ではコレクター-エミッタ間飽和電圧が関係し、過渡的な領域ではゲートしきい値電圧が関係する。

【0024】そして、通常、定常オン状態の電流バランスを揃えるため、コレクター-エミッタ間飽和電圧を優先して選別することが多く、ゲートしきい値電圧がばらつき易くなる。

【0025】以下に、ゲートしきい値電圧がばらついた時の問題点について述べる。

【0026】絶縁ゲート型半導体素子1Aのゲートしきい値電圧Vth1Aが、絶縁ゲート型半導体素子1Bのゲートしきい値電圧Vth1Bよりも低いとする。

【0027】オン指令があると、ゲートしきい値電圧Vth1Aの低い絶縁ゲート型半導体素子1Aが先にターンオンして、電流I1Aが流れ始める。

【0028】絶縁ゲート型半導体素子1BのVGE1Bがゲートしきい値電圧Vth1Bを超えるまで、電流I

1Bは流れ始めない。

【0029】そして、絶縁ゲート型半導体素子1BのVGE1Bがゲートしきい値電圧Vth1Bを超えるとターンオンするが、絶縁ゲート型半導体素子1Aのゲートしきい値電圧Vth1Aと絶縁ゲート型半導体素子1BのVGE1Bとの差が大きいと、絶縁ゲート型半導体素子1Aに、2個のスイッチ分の電流が流れる場合も起こり得る。

【0030】以上のような理由から、絶縁ゲート型半導体素子IGBT11個当たりの使用電流を下げる必要があり、絶縁ゲート型半導体素子の電流定格を最大限に活用することができない。

【0031】一方、絶縁ゲート型半導体素子1AおよびIGBT1を、互いに直列接続して絶縁ゲート型半導体アームを構成したような場合には、絶縁ゲート型半導体素子1Aのゲートしきい値電圧が絶縁ゲート型半導体素子1Bよりも高い場合、ゲートしきい値電圧が高い絶縁ゲート型半導体素子1Aが先にターンオフし、絶縁ゲート型半導体素子1AのC電極-E電極間VCE1Aが上昇する。

【0032】その後、絶縁ゲート型半導体素子1Bがターンオフして、そのC電極-E電極間VCE1Bも上昇を開始する。

【0033】従って、絶縁ゲート型半導体素子1AのC電極-E電極間VCE1Aが絶縁ゲート型半導体素子1BのC電極-E電極間VCE1Bよりも高くなることになり、絶縁ゲート型半導体素子1Aのゲートしきい値電圧Vth1Aと絶縁ゲート型半導体素子1Bのゲートしきい値電圧Vth1Bとの差が大きいと、絶縁ゲート型半導体素子1AのC電極-E電極間VCE1Aが2個のスイッチ分の電圧になることもあり得る。

【0034】そして、このような場合には、絶縁ゲート型半導体素子IGBTの使用電圧を下げる必要があり、絶縁ゲート型半導体素子の電圧定格を最大限に活用することができない。

【0035】以上のように、従来の絶縁ゲート型半導体素子のゲート駆動回路においては、ゲートしきい値電圧のばらつきのために、絶縁ゲート型半導体素子の電圧電流定格を最大限に活用することができないという問題点がある。

【0036】本発明の目的は、絶縁ゲート型半導体素子のゲートしきい値電圧のばらつきを考慮せずに、電圧、電流定格を最大限に活用することが可能な優れた絶縁ゲート型半導体素子のゲート駆動回路およびそれを用いた電力変換装置を提供することにある。

【0037】

【課題を解決するための手段】上記の目的を達成するために、請求項1に対応する発明では、複数の絶縁ゲート型半導体素子を互いに並列接続して構成される絶縁ゲート型半導体アームにおける、絶縁ゲート型半導体素子

のゲートを駆動するゲート駆動回路において、絶縁ゲート型半導体素子のターンオン時に、各々の絶縁ゲート型半導体素子間の電流差が所定電流よりも大きくなった時に動作して、絶縁ゲート型半導体素子のゲート抵抗を通常時よりも小さくする手段を備えている。

【0038】従って、請求項1に対応する発明の絶縁ゲート型半導体素子のゲート駆動回路においては、絶縁ゲート型半導体素子のターンオン時に、各々の絶縁ゲート型半導体素子間の電流差が所定電流よりも大きくなった時に、絶縁ゲート型半導体素子のゲート抵抗を通常時よりも小さくすることにより、並列接続された全ての絶縁ゲート型半導体素子のターンオンを早くでき、絶縁ゲート型半導体素子間の電流差が拡大するのを防止することができる。これにより、絶縁ゲート型半導体素子のゲートしきい値電圧のばらつきを考慮せずに、電流定格を最大限に活用することが可能となる。

【0039】また、請求項2に対応する発明では、複数個の絶縁ゲート型半導体素子を互いに直列接続して構成される絶縁ゲート型半導体アームにおける、絶縁ゲート型半導体素子のゲートを駆動するゲート駆動回路において、絶縁ゲート型半導体素子のターンオフ時に、各々の絶縁ゲート型半導体素子間の電圧差が所定電圧よりも大きくなった時に動作して、絶縁ゲート型半導体素子のゲート抵抗を通常時よりも小さくする手段を備えている。

【0040】従って、請求項2に対応する発明の絶縁ゲート型半導体素子のゲート駆動回路においては、絶縁ゲート型半導体素子のターンオフ時に、各々の絶縁ゲート型半導体素子間の電圧差が所定電圧よりも大きくなった時に、絶縁ゲート型半導体素子のゲート抵抗を通常時よりも小さくすることにより、直列接続された全ての絶縁ゲート型半導体素子のターンオフを早くでき、絶縁ゲート型半導体素子間の電圧差が拡大するのを防止することができる。

【0041】これにより、絶縁ゲート型半導体素子のゲートしきい値電圧のばらつきを考慮せずに、電圧定格を最大限に活用することが可能となる。

【0042】さらに、請求項3に対応する発明では、複数個の絶縁ゲート型半導体素子を互いに並列接続し、かつ当該並列回路を複数個互いに直列接続して構成される絶縁ゲート型半導体アームにおける、絶縁ゲート型半導体素子のゲートを駆動するゲート駆動回路において、絶縁ゲート型半導体素子のターンオン時に、同一並列回路における各々の絶縁ゲート型半導体素子間の電流差が所定電流よりも大きくなった時、または、絶縁ゲート型半導体素子のターンオフ時に、異なった並列回路における各々の絶縁ゲート型半導体素子間の電圧差が所定電圧よりも大きくなった時、に動作して、絶縁ゲート型半導体素子のゲート抵抗を通常時よりも小さくする手段を備えている。

【0043】従って、請求項3に対応する発明の絶縁ゲ

ート型半導体素子のゲート駆動回路においては、絶縁ゲート型半導体素子のターンオン時に、同一並列回路における各々の絶縁ゲート型半導体素子間の電流差が所定電流よりも大きくなった時、または、絶縁ゲート型半導体素子のターンオフ時に、異なった並列回路における各々の絶縁ゲート型半導体素子間の電圧差が所定電圧よりも大きくなった時に、絶縁ゲート型半導体素子のゲート抵抗を通常時よりも小さくすることにより、並列接続された全ての絶縁ゲート型半導体素子のターンオンを早くでき、絶縁ゲート型半導体素子間の電流差が拡大するのを防止することができ、また直列接続された全ての絶縁ゲート型半導体素子のターンオフを早くでき、絶縁ゲート型半導体素子間の電圧差が拡大するのを防止することができる。これにより、絶縁ゲート型半導体素子のゲートしきい値電圧のばらつきを考慮せずに、電圧、電流定格を最大限に活用することが可能となる。

【0044】一方、請求項4に対応する発明では、複数個の絶縁ゲート型半導体素子を備えて構成され、電力変換を行なうインバータやコンバータ等の電力変換装置において、上記請求項1乃至請求項3のいずれか1項に対応する発明の絶縁ゲート型半導体素子のゲート駆動回路を、絶縁ゲート型半導体素子のゲート駆動回路として接続している。

【0045】従って、請求項4に対応する発明の電力変換装置においては、上記請求項1乃至請求項3のいずれか1項に対応する発明の絶縁ゲート型半導体素子のゲート駆動回路を、絶縁ゲート型半導体素子のゲート駆動回路として用いることにより、絶縁ゲート型半導体素子のゲートしきい値電圧のばらつきを考慮せずに、電圧、電流定格を最大限に活用することができる優れた電力変換装置を得ることができる。

【0046】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0047】(第1の実施の形態) 図1は、本実施の形態による絶縁ゲート型半導体素子のゲート駆動回路の構成例を示す概要図であり、図5と同一部分には同一符号を付してその説明を省略し、ここでは異なる部分についてのみ述べる。

【0048】すなわち、本実施の形態による絶縁ゲート型半導体素子のゲート駆動回路7は、図1に示すように、前記図5におけるオンゲート部を構成するオンゲートスイッチ4a、およびオンゲート抵抗5aの直列回路と並列に、第2のオンゲートスイッチ4c、および第2のオンゲート抵抗5cの直列回路を接続し、さらに差電流検出部8を備えた構成としている。

【0049】差電流検出部8は、絶縁ゲート型半導体素子1A、1Bのターンオン時に、各々の絶縁ゲート型半導体素子1A、1B間の電流差を検出し、当該検出した電流差が所定電流 $I_{ref1}$ を超えた時に動作して、第

2のオンゲートスイッチ4cをオンさせる。

【0050】次に、以上のように構成した本実施の形態による絶縁ゲート型半導体素子のゲート駆動回路の作用について説明する。

【0051】図1において、絶縁ゲート型半導体素子1Aのゲートしきい値電圧 $V_{th1A}$ が、絶縁ゲート型半導体素子1Bのゲートしきい値電圧 $V_{th1B}$ よりも低いとする。

【0052】このような場合には、絶縁ゲート型半導体素子1Aが先にターンオンし、その後、絶縁ゲート型半導体素子1Bがターンオンする。

【0053】そして、差電流検出部8により検出された各々の絶縁ゲート型半導体素子1A、1B間の電流差 $I_{sub}$ が、所定電流 $I_{ref1}$ よりも小さい時には、通常動作する。

【0054】もし、差電流検出部8により検出された各々の絶縁ゲート型半導体素子1A、1B間の電流差 $I_{sub}$ が、所定電流 $I_{ref1}$ よりも大きい時には、差電流検出部8の動作出力によって第2のオンゲートスイッチ4cをオンさせて、オンゲート抵抗5aと第2のオンゲート抵抗5cとを並列接続することにより、オンゲート電源3aから流れるゲート電流を大きくして、絶縁ゲート型半導体素子1Bの $V_{GE1B}$ の上昇を早くし、絶縁ゲート型半導体素子1Bを早くターンオンさせる。

【0055】これにより、各々の絶縁ゲート型半導体素子1A、1B間の電流差 $I_{sub}$ が大きくなった場合でも、絶縁ゲート型半導体素子1Bを早くターンオンさせることができ、各々の絶縁ゲート型半導体素子1A、1B間の電流差が拡大するのを防止することができる。

【0056】上述したように、本実施の形態による絶縁ゲート型半導体素子のゲート駆動回路では、絶縁ゲート型半導体素子1A、1Bのターンオン時に、各々の絶縁ゲート型半導体素子1A、1B間の電流差が所定電流よりも大きくなった時に、絶縁ゲート型半導体素子1A、1Bのゲート抵抗を通常時よりも小さくするようにしているので、並列接続された全ての絶縁ゲート型半導体素子1A、1Bのターンオンを早くでき、絶縁ゲート型半導体素子1A、1B間の電流差が拡大するのを防止することができる。

【0057】これにより、絶縁ゲート型半導体素子1A、1Bのゲートしきい値電圧のばらつきを考慮せずに、電流定格を最大限に活用することが可能となる。

【0058】(変形例)なお、本実施の形態において、差電流検出部8による電流検出には、絶縁ゲート型半導体素子のC電極側に、変流器(CT)、ホール素子等を用いる他に、絶縁ゲート型半導体素子の電流センス端子を用いるようにしてもよい。

【0059】また、本実施の形態では、複数個の絶縁ゲート型半導体素子に対してゲート駆動回路を一つ用いているが、1個の絶縁ゲート型半導体素子に対してゲート

駆動回路を一つ用いるようにしても、前述の場合と同様の作用効果を得ることが可能である。

【0060】(第2の実施の形態)図2は、本実施の形態による絶縁ゲート型半導体素子のゲート駆動回路の構成例を示す概要図であり、図1と同一部分には同一符号を付して示している。

【0061】図2において、複数個(図では2個)の絶縁ゲート型半導体素子1A、1Bを互いに直列接続して、絶縁ゲート型半導体アームを構成している。

【0062】一方、各々の絶縁ゲート型半導体素子1A、1Bに対して、それぞれ一つのゲート駆動回路7A、7Bを個別に設けており、各々のゲート駆動回路7A、7Bは、オンゲート部とオフゲート部とからそれぞれ構成している。

【0063】一方のゲート駆動回路7Aにおいて、オンゲート部は、オンゲート電源3aAと、オンゲートスイッチ4aAと、オンゲート抵抗5aAと、オンダイオード6aAとを、図示のように互いに直列接続して構成している。

【0064】また、オフゲート部は、オフゲート電源3bAと、オフゲートスイッチ4bAと、オフゲート抵抗5bAと、オフダイオード6bAとを、図示のように互いに直列接続して構成している。

【0065】さらに、オフゲートスイッチ4bA、およびオフゲート抵抗5bAの直列回路と並列に、第2のオフゲートスイッチ4dA、および第2のオフゲート抵抗5dAの直列回路を接続して構成している。

【0066】そして、このオンゲート部とオフゲート部とは、図示のように互いに並列接続している。

【0067】なお、オンゲートスイッチ4aAとオフゲートスイッチ4bAとは、一方がオンすると他方は必ずオフするように制御されるようになっている。

【0068】そして、かかる構成のゲート駆動回路7Aを、絶縁ゲート型半導体素子1AのG電極とE電極との間に、個別ゲート抵抗2Aを介して、図示のように接続している。

【0069】他方のゲート駆動回路7Bにおいて、オンゲート部は、オンゲート電源3aBと、オンゲートスイッチ4aBと、オンゲート抵抗5aBと、オンダイオード6aBとを、図示のように互いに直列接続して構成している。

【0070】また、オフゲート部は、オフゲート電源3bBと、オフゲートスイッチ4bBと、オフゲート抵抗5bBと、オフダイオード6bBとを、図示のように互いに直列接続して構成している。

【0071】さらに、オフゲートスイッチ4bB、およびオフゲート抵抗5bBの直列回路と並列に、第2のオフゲートスイッチ4dB、および第2のオフゲート抵抗5dBの直列回路を接続して構成している。

【0072】そして、このオンゲート部とオフゲート部

とは、図示のように互いに並列接続している。

【0073】なお、オンゲートスイッチ4aBとオフゲートスイッチ4bBとは、一方がオンすると他方は必ずオフするように制御されるようになっている。

【0074】そして、かかる構成のゲート駆動回路7Bを、絶縁ゲート型半導体素子1BのG電極とE電極との間に、個別ゲート抵抗2Bを介して、図示のように接続している。

【0075】一方、各々のゲート駆動回路7A、7Bに共通に、差電圧検出部9を備えている。

【0076】差電圧検出部9は、絶縁ゲート型半導体素子1A、1Bのターンオフ時に、各々の絶縁ゲート型半導体素子1A、1B間の電圧差を検出し、当該検出した電圧差が所定電圧 $V_{ref1}$ を超えた時に動作して、第2のオンゲートスイッチ4dAおよび4dBをオンさせる。

【0077】次に、以上のように構成した本実施の形態による絶縁ゲート型半導体素子のゲート駆動回路の作用について説明する。

【0078】図2において、絶縁ゲート型半導体素子1Aのゲートしきい値電圧 $V_{th1A}$ が、絶縁ゲート型半導体素子1Bのゲートしきい値電圧 $V_{th1B}$ よりも高いとする。

【0079】このような場合には、絶縁ゲート型半導体素子1Aが先にターンオフし、その後、絶縁ゲート型半導体素子1Bがターンオフする。

【0080】そして、差電圧検出部9により検出された各々の絶縁ゲート型半導体素子1A、1B間の電圧差 $V_{sub}$ が所定電圧 $V_{ref}$ よりも小さい時には、通常動作する。

【0081】もし、差電圧検出部9により検出された各々の絶縁ゲート型半導体素子1A、1B間の電圧差 $V_{sub}$ が所定電圧 $V_{ref}$ よりも大きい時には、差電圧検出部9の動作出力によって第2のオフゲートスイッチ4dA、4dBをオンさせて、オフゲート抵抗5bA、5bBと第2のオフゲート抵抗5dA、5dBとを並列接続することにより、オフゲート電源3bA、3bBから流れるゲート電流を大きくして、絶縁ゲート型半導体素子1Bの $V_{GE1B}$ の下降を早くし、絶縁ゲート型半導体素子1Bを早くターンオフさせる。

【0082】これにより、各々の絶縁ゲート型半導体素子1A、1B間の電圧差 $V_{sub}$ が大きくなった場合でも、絶縁ゲート型半導体素子1Bを早くターンオフさせることができ、各々の絶縁ゲート型半導体素子1A、1B間の電圧差が拡大するのを防止することができる。

【0083】上述したように、本実施の形態による絶縁ゲート型半導体素子のゲート駆動回路では、絶縁ゲート型半導体素子1A、1Bのターンオフ時に、各々の絶縁ゲート型半導体素子1A、1B間の電圧差が所定電圧よりも大きくなった時に、絶縁ゲート型半導体素子1A、

1Bのゲート抵抗を通常時よりも小さくするようにしているので、直列接続された全ての絶縁ゲート型半導体素子1A、1Bのターンオフを早くでき、絶縁ゲート型半導体素子1A、1B間の電圧差が拡大するのを防止することができる。

【0084】これにより、絶縁ゲート型半導体素子1A、1Bのゲートしきい値電圧のばらつきを考慮せずに、電圧定格を最大限に活用することが可能となる。

【0085】(第3の実施の形態)図3は、本実施の形態による絶縁ゲート型半導体素子のゲート駆動回路の構成例を示す概要図であり、図1および図2と同一部分には同一符号を付して示している。

【0086】図3において、複数個(図では2個)の絶縁ゲート型半導体素子1A、1Cを互いに並列接続すると共に、複数個(図では2個)の絶縁ゲート型半導体素子1B、1Dを互いに並列接続し、さらにこれら二つの並列回路を互いに直列接続して、絶縁ゲート型半導体アームを構成している。

【0087】一方、同一並列回路における2個の絶縁ゲート型半導体素子1Aおよび1C、1Bおよび1Dに対して、それぞれ一つのゲート駆動回路7A、7Bを個別に設けており、各々のゲート駆動回路7A、7Bは、オンゲート部とオフゲート部とからそれぞれ構成している。

【0088】一方のゲート駆動回路7Aにおいて、オンゲート部は、オンゲート電源3aAと、オンゲートスイッチ4aAと、オンゲート抵抗5aAと、オンゲートダイオード6aAとを、図示のように互いに直列接続して構成している。

【0089】さらに、オンゲートスイッチ4aA、およびオンゲート抵抗5aAの直列回路と並列に、第2のオンゲートスイッチ4cA、および第2のオンゲート抵抗5cAの直列回路を接続して構成している。

【0090】また、オフゲート部は、オフゲート電源3bAと、オフゲートスイッチ4bAと、オフゲート抵抗5bAと、オフゲートダイオード6bAとを、図示のように互いに直列接続して構成している。

【0091】さらに、オフゲートスイッチ4bA、およびオフゲート抵抗5bAの直列回路と並列に、第2のオフゲートスイッチ4dA、および第2のオフゲート抵抗5dAの直列回路を接続して構成している。

【0092】そして、このオンゲート部とオフゲート部とは、図示のように互いに並列接続している。

【0093】なお、オンゲートスイッチ4aAとオフゲートスイッチ4bAとは、一方がオンすると他方は必ずオフするように制御されるようになっている。

【0094】そして、かかる構成のゲート駆動回路7Aを、各々の絶縁ゲート型半導体素子1A、1CのG電極とE電極との間に、個別ゲート抵抗2A、2Cを介して、図示のように接続している。



【0095】他方のゲート駆動回路7Bにおいて、オンゲート部は、オンゲート電源3aBと、オンゲートスイッチ4aBと、オンゲート抵抗5aBと、オンゲートダイオード6aBとを、図示のように互いに直列接続して構成している。

【0096】さらに、オンゲートスイッチ4aBおよびオンゲート抵抗5aBの直列回路と並列に、第2のオンゲートスイッチ4cB、および第2のオンゲート抵抗5cBの直列回路を接続して構成している。

【0097】また、オフゲート部は、オフゲート電源3bBと、オフゲートスイッチ4bBと、オフゲート抵抗5bBと、オフゲートダイオード6bBとを、図示のように互いに直列接続して構成している。

【0098】さらに、オフゲートスイッチ4bB、およびオフゲート抵抗5bBの直列回路と並列に、第2のオフゲートスイッチ4dB、および第2のオフゲート抵抗5dBの直列回路を接続して構成している。

【0099】そして、このオンゲート部とオフゲート部とは、図示のように互いに並列接続している。

【0100】なお、オンゲートスイッチ4aBとオフゲートスイッチ4bBとは、一方がオンすると他方は必ずオフするように制御されるようになっている。

【0101】そして、かかる構成のゲート駆動回路7Bを、各々の絶縁ゲート型半導体素子1B、1DのG電極とE電極との間に、個別ゲート抵抗2B、2Dを介して、図示のように接続している。

【0102】一方、各々のゲート駆動回路7A、7Bに対して、それぞれ一つの差電流検出部8A、8Bを備え、さらに各々のゲート駆動回路7A、7Bに共通に、差電圧検出部9を備えている。

【0103】差電流検出部8Aは、絶縁ゲート型半導体素子1A、1Cのターンオン時に、各々の絶縁ゲート型半導体素子1A、1C間の電流差を検出し、当該検出した電流差が所定電流 $I_{ref1}$ を超えた時に動作して、第2のオンゲートスイッチ4cAをオンさせる。

【0104】差電流検出部8Bは、絶縁ゲート型半導体素子1B、1Dのターンオン時に、各々の絶縁ゲート型半導体素子1B、1D間の電流差を検出し、当該検出した電流差が所定電流 $I_{ref1}$ を超えた時に動作して、第2のオンゲートスイッチ4cBをオンさせる。

【0105】差電圧検出部9は、絶縁ゲート型半導体素子1A、1B、1C、1Dのターンオフ時に、異なった並列回路における各々の絶縁ゲート型半導体素子1Aおよび1C、1Bおよび1D間の電圧差を検出し、当該検出した電圧差が所定電圧 $V_{ref1}$ を超えた時に動作して、第2のオンゲートスイッチ4dAおよび4dBをオンさせる。

【0106】次に、以上のように構成した本実施の形態による絶縁ゲート型半導体素子のゲート駆動回路の作用について説明する。

【0107】図3において、絶縁ゲート型半導体素子1A、1B、1C、1Dのターンオン時には、前述した第1の実施の形態と同様に動作し、また絶縁ゲート型半導体素子1A、1B、1C、1Dのターンオフ時には、前述した第2の実施の形態と同様に動作する。

【0108】すなわち、絶縁ゲート型半導体素子1A(1B)のゲートしきい値電圧 $V_{th1A}$ ( $V_{th1B}$ )が、絶縁ゲート型半導体素子1C(1D)のゲートしきい値電圧 $V_{th1C}$ ( $V_{th1D}$ )よりも低いとする。

【0109】このような場合には、絶縁ゲート型半導体素子1A(1B)が先にターンオンし、その後、絶縁ゲート型半導体素子1C(1D)がターンオンする。

【0110】そして、差電流検出部8A(8B)により検出された各々の絶縁ゲート型半導体素子1A(1B)、1C(1D)間の電流差 $I_{sub}$ が、所定電流 $I_{ref1}$ よりも小さい時には、通常動作する。

【0111】もし、差電流検出部8A(8B)により検出された各々の絶縁ゲート型半導体素子1A(1B)、1C(1D)間の電流差 $I_{sub}$ が、所定電流 $I_{ref1}$ よりも大きい時には、差電流検出部8A(8B)の動作出力によって第2のオンゲートスイッチ4cA(4cB)をオンさせて、オンゲート抵抗5aA(5aB)と第2のオンゲート抵抗5cA(5cB)とを並列接続することにより、オンゲート電源3aA(3aB)から流れるゲート電流を大きくして、絶縁ゲート型半導体素子1C(1D)の $V_{GE1C}$ ( $V_{GE1D}$ )の上昇を早くし、絶縁ゲート型半導体素子1C(1D)を早くターンオンさせる。

【0112】これにより、各々の絶縁ゲート型半導体素子1A、1C(1B、1D)間の電流差 $I_{sub}$ が大きくなった場合でも、絶縁ゲート型半導体素子1C(1D)を早くターンオンさせることができ、各々の絶縁ゲート型半導体素子1A、1C(1B、1D)間の電流差が拡大するのを防止することができる。

【0113】一方、絶縁ゲート型半導体素子1Aおよび1Cのゲートしきい値電圧 $V_{th1A}$ および $V_{th1C}$ が、絶縁ゲート型半導体素子1Bおよび1Dのゲートしきい値電圧 $V_{th1B}$ および $V_{th1D}$ よりも高いとする。

【0114】このような場合には、絶縁ゲート型半導体素子1Aおよび1Cが先にターンオフし、その後、絶縁ゲート型半導体素子1Bおよび1Dがターンオフする。

【0115】そして、差電圧検出部9により検出された各々の絶縁ゲート型半導体素子1Aおよび1C、1Bおよび1D間の電圧差 $V_{sub}$ が所定電圧 $V_{ref1}$ よりも小さい時には、通常動作する。

【0116】もし、差電圧検出部9により検出された各々の絶縁ゲート型半導体素子1Aおよび1C、1Bおよび1D間の電圧差 $V_{sub}$ が所定電圧 $V_{ref1}$ よりも大



きい時には、差電圧検出部9の動作出力によって第2のオフゲートスイッチ4dAおよび4dBをオンさせて、オフゲート抵抗5bA、5bBと第2のオフゲート抵抗5dA、5dBとを並列接続することにより、オフゲート電源3bA、3bBから流れるゲート電流を大きくして、絶縁ゲート型半導体素子1Bおよび1DのVGE1BおよびVGE1Dの下降を早くし、絶縁ゲート型半導体素子1Bおよび1Dを早くターンオフさせる。

【0117】これにより、ターンオン時には、各々の絶縁ゲート型半導体素子1Aおよび1C、1Bおよび1D間の電圧差 $V_{sub}$ が大きくなった場合でも、絶縁ゲート型半導体素子1Bを早くターンオフさせることができ、各々の絶縁ゲート型半導体素子1Aおよび1C、1Bおよび1D間の電圧差が拡大するのを防止することができる。

【0118】上述したように、本実施の形態による絶縁ゲート型半導体素子のゲート駆動回路では、絶縁ゲート型半導体素子1A、1C(1B、1D)のターンオン時に、同一並列回路における各々の絶縁ゲート型半導体素子1A、1C(1B、1D)間の電流差が所定電流よりも大きくなった時に、絶縁ゲート型半導体素子1A、1C(1B、1D)のゲート抵抗を通常時よりも小さくするようにしているので、並列接続された全ての絶縁ゲート型半導体素子1A、1C(1B、1D)のターンオンを早くでき、絶縁ゲート型半導体素子1A、1C(1B、1D)間の電流差が拡大するのを防止することができる。

【0119】これにより、絶縁ゲート型半導体素子1A、1C(1B、1D)のゲートしきい値電圧のばらつきを考慮せずに、電流定格を最大限に活用することが可能となる。

【0120】また、絶縁ゲート型半導体素子1A、1B、1C、1Dのターンオフ時に、異なった並列回路における各々の絶縁ゲート型半導体素子1Aおよび1C、1Bおよび1D間の電圧差が所定電圧よりも大きくなった時に、絶縁ゲート型半導体素子1A、1B、1C、1Dのゲート抵抗を通常時よりも小さくするようにしているので、直列接続された全ての絶縁ゲート型半導体素子1Aおよび1C、1Bおよび1Dのターンオフを早くでき、絶縁ゲート型半導体素子1Aおよび1C、1Bおよび1D間の電圧差が拡大するのを防止することができる。

【0121】これにより、絶縁ゲート型半導体素子1Aおよび1C、1Bおよび1Dのゲートしきい値電圧のばらつきを考慮せずに、電圧定格を最大限に活用することが可能となる。

【0122】(第4の実施の形態)図4は、本実施の形態による絶縁ゲート型半導体素子のゲート駆動回路を用いた電力変換装置の概要構成例を示す回路図であり、図1乃至図3と同一部分には同一符号を付して示してい

る。

【0123】図4において、複数個(図では2個)の絶縁ゲート型半導体素子1A、1Cを互いに並列接続すると共に、複数個(図では2個)の絶縁ゲート型半導体素子1B、1Dを互いに並列接続し、さらにこれら二つの並列回路を互いに直列接続して、電力変換を行なうインバータやコンバータ等の電力変換装置の絶縁ゲート型半導体アームを構成している。

【0124】また、前記図3に示した第3の実施の形態の構成を有するゲート駆動回路7A、7Bを、絶縁ゲート型半導体素子1Aおよび1C、1Bおよび1DのG電極とE電極との間に、個別ゲート抵抗2Aおよび2C、2Bおよび2Dを介して、ゲート駆動回路として接続している。

【0125】なお、11は正側入力端子、12は負側入力端子、13は出力端子をそれぞれ示している。

【0126】次に、以上のように構成した本実施の形態による絶縁ゲート型半導体素子のゲート駆動回路7A、7Bを用いた電力変換装置においては、前記第3の実施の形態の構成を有するゲート駆動回路7A、7Bを、絶縁ゲート型半導体素子1Aおよび1C、1Bおよび1Dのゲート駆動回路として用いていることにより、絶縁ゲート型半導体素子1Aおよび1C、1Bおよび1Dのゲートしきい値電圧のばらつきを考慮せずに、電圧、電流定格を最大限に活用することが可能な優れた電力変換装置を得ることができる。

【0127】上述したように、本実施の形態による絶縁ゲート型半導体素子のゲート駆動回路を用いた電力変換装置では、絶縁ゲート型半導体素子1Aおよび1C、1Bおよび1Dのゲートしきい値電圧のばらつきを考慮せずに、電圧、電流定格を最大限に活用することができる優れた電力変換装置を得ることが可能となる。

【0128】(変形例)なお、本実施の形態において、前記第1または第2の実施の形態の構成を有するゲート駆動回路7または7A、7Bを、絶縁ゲート型半導体素子1A、1B、1C、1Dのゲート駆動回路として用いるようにしてもよい。

【0129】(その他の実施の形態)なお、絶縁ゲート型半導体素子がIGBT以外のその他の電圧ゲート駆動素子であっても、前記第1の実施の形態乃至第4の実施の形態のいずれかにおいて、前述の場合と同様の作用効果を得ることが可能である。

【0130】

【発明の効果】以上説明したように本発明によれば、絶縁ゲート型半導体素子のゲートしきい値電圧のばらつきを考慮せずに、電圧、電流定格を最大限に活用ことができ、かつ絶縁ゲート型半導体素子の導通時間が短いことによる電流集中を防止することが可能な優れた絶縁ゲート型半導体素子のゲート駆動回路およびそれを用いた電力変換装置が提供できる。

## 【図面の簡単な説明】

【図1】本発明の第1の実施の形態による絶縁ゲート型半導体素子のゲート駆動回路の概要構成例を示す回路図。

【図2】本発明の第2の実施の形態による絶縁ゲート型半導体素子のゲート駆動回路の概要構成例を示す回路図。

【図3】本発明の第3の実施の形態による絶縁ゲート型半導体素子のゲート駆動回路の概要構成例を示す回路図。

【図4】本発明の第3の実施の形態による絶縁ゲート型半導体素子のゲート駆動回路を用いた電力変換装置の概要構成例を示す回路図。

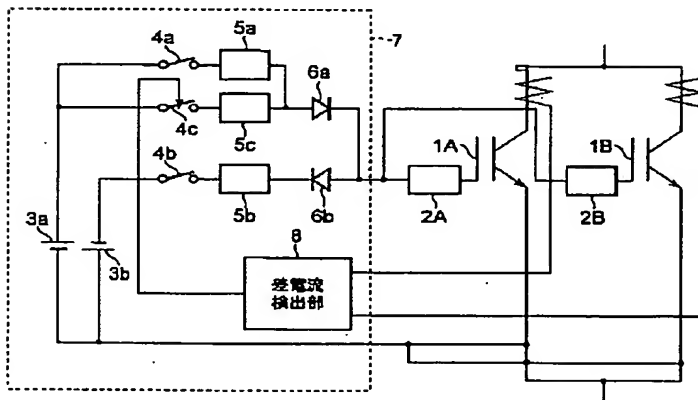
【図5】従来技術による絶縁ゲート型半導体素子のゲート駆動回路の概要構成例を示す回路図。

## 【符号の説明】

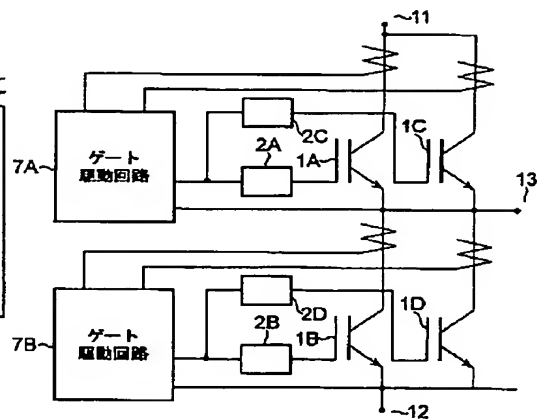
1A, 1B, 1C, 1D…絶縁ゲート型半導体素子 (IGBT)  
2A, 2B, 2C, 2D…個別ゲート抵抗

3a, 3aA, 3Ab…オンゲート電源  
3b, 3bA, 3bB…オフゲート電源  
4a, 4aA, 4aB…オンゲートスイッチ  
4b, 4bA, 4bB…オフゲートスイッチ  
4c, 4cA, 4cB…第2のオンゲートスイッチ  
4dA, 4dB…第2のオフゲートスイッチ  
5a, 5aA, 5aB…オンゲート抵抗  
5b, 5bA, 5bB…オフゲート抵抗  
5c, 5cA, 5cB…第2のオンゲート抵抗  
5dA, 5dB…第2のオフゲート抵抗  
6a, 6aA, 6aB…オンゲートダイオード  
6b, 6bA, 6bB…オフゲートダイオード  
7, 7A, 7B…ゲート駆動回路  
8, 8A, 8B…差電流検出部  
9…差電圧検出部  
10…タイミング調整器  
11…正側入力端子  
12…負側入力端子  
13…出力端子。

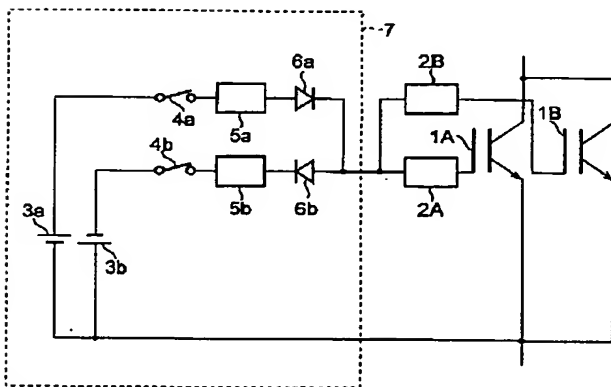
【図1】



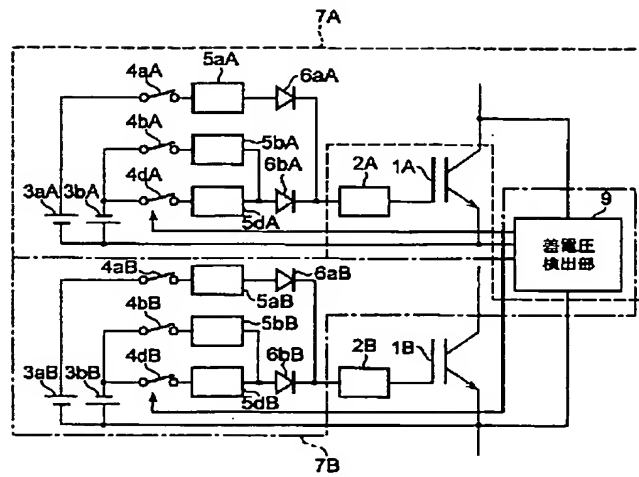
【図4】



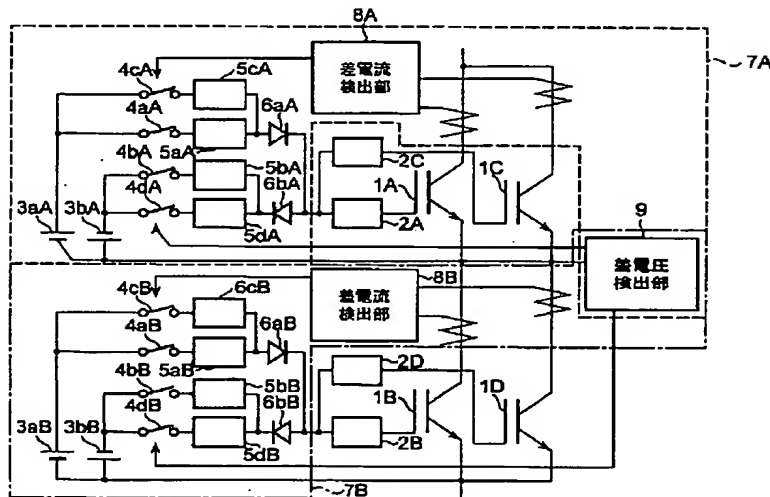
【図5】



【図2】



【図3】



フロントページの続き

(51) Int. Cl.<sup>7</sup>H03K 17/12  
17/56

識別記号

FI

H03K 17/12  
17/56

キーワード(参考)

Z

(72) 発明者 市川 耕作

東京都府中市東芝町1番地 株式会社東芝  
府中事業所内

Fターム(参考) 5H007 AA05 AA06 AA17 BB05 BB06  
CA01 CB04 CB05 CC07 DA05  
DB03 DC02 FA03 FA13  
5H740 AA08 BA11 BB02 BB08 BB10  
KK01 MM11 NN17  
5J055 AX11 AX55 AX56 BX16 CX07  
CX19 DX09 DX72 DX73 EX17  
EX19 EX20 EY01 EY12 EZ00  
EZ51 FX04 FX13 FX18 FX31  
GX01